

E

庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月20日

出願番号

Application Number:

特願2003-077872

[ST.10/C]:

[JP2003-077872]

出願人

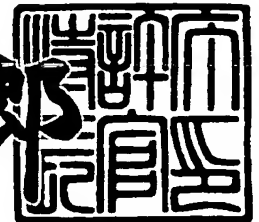
Applicant(s):

パイオニア株式会社

2003年 6月30日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051473

【書類名】 特許願

【整理番号】 57P0555

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/28

【発明の名称】 表示パネルの駆動装置

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 井手 茂生

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 中村 英人

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 坂田 一朗

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネルの駆動装置

【特許請求の範囲】

【請求項 1】 複数の行電極と、前記行電極に交差して配列された複数の列電極と、前記行電極及び前記列電極の各交差部に配置された容量性発光素子と、を有する表示パネルを駆動する駆動装置であって、

第 1 電圧を発生する第 1 電源を備え前記第 1 電圧に基づいて前記容量性発光素子各々を点灯状態及び消灯状態のいずれか一方に設定させるべき走査パルスを発生して前記行電極に印加するスキन्दライバと、

第 2 電圧を発生する第 2 電源を備え前記第 2 電圧に基づいて前記点灯状態に設定された前記容量性発光素子を発光させるべき維持放電パルスを発生して前記行電極に印加するサステインドライバと、

前記第 1 電源にて発生した前記第 1 電圧と前記第 2 電源にて発生した前記第 2 電圧とを加算した電圧に基づいて前記容量性発光素子の状態を初期化すべきリセットパルスを発生して前記行電極に印加するリセットドライバと、を備え、

前記リセットドライバは、前縁部でのレベル推移が急峻であり且つ前記前縁部に続く部分でのレベル推移が緩やかな波形を有するパルス信号を前記リセットパルスとして発生することを特徴とする表示パネルの駆動装置。

【請求項 2】 前記リセットドライバは、急峻にレベル推移する急峻変化電圧と緩やかにレベル推移する緩変化電圧とを個別に生成して互いに相加することにより前記リセットパルスを発生することを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 3】 前記リセットドライバは、前記第 2 電源の正端子と前記第 1 電源の負端子とを第 1 抵抗を介して接続することにより前記行電極上に前記急峻変化電圧を発生する第 1 スイッチング回路と、

前記第 2 電源の正端子と前記第 1 電源の負端子とを前記第 1 抵抗よりも高抵抗な第 2 抵抗を介して接続することにより前記行電極上に前記緩変化電圧を発生する第 2 スイッチング回路と、を含むことを特徴とする請求項 1 または 2 記載の表示パネルの駆動装置。

【請求項4】 前記リセットドライバは、前記第1スイッチング回路をオン状態且つ前記第2スイッチング回路をオフ状態に設定した後に、前記第1スイッチング回路をオフ状態且つ前記第2スイッチング回路をオン状態に切り替える制御手段を更に備えていることを特徴とする請求項3記載の表示パネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量性発光素子がマトリクス状に配列されている表示パネルの駆動装置に関する。

【0002】

【従来の技術】

現在、上記の如き表示パネルとしてプラズマディスプレイパネルを搭載した表示装置が製品化されている(例えば、特許文献1参照)。

図1は、かかる表示装置の概略構成を示す図である。

図1において、プラズマディスプレイパネルとしてのPDP1には、X及びYの1対にて1画面の各行(第1行～第n行)に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び行電極 $X_1 \sim X_n$ が形成されている。更に、これら行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで、1画面の各列(第1列～第m列)に対応した列電極を為す列電極 $D_1 \sim D_m$ が形成されている。この際、1組の行電極対と1つの列電極との交叉部に、容量性発光素子としての放電セルが形成される。アドレスドライバ2は、映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスに変換し、これを1行分毎に、上記列電極 $D_1 \sim D_m$ に印加する。X行電極ドライバ3は、各放電セルの残留壁電荷量を初期化する為のリセットパルス、後述するが如き点灯モードに設定されている放電セルの放電発光状態を維持させる為の維持放電パルスを発生し、これらを上記行電極 $X_1 \sim X_n$ に印加する。Y行電極ドライバ4は、上記X行電極ドライバ3と同様に、各放電セルの残留壁電荷量を初期化する為のリセットパルス、放電発光状態を維持させる為の維持放電パルスを発生し、これらを上記行電極Y

$1 \sim Y_n$ に印加する。更に、Y行電極ドライバ4は、放電セル内に荷電粒子を再形成させる為のプライミングパルス、並びに各放電セルに対し画素データパルスに応じた電荷量を形成せしめて各放電セルを点灯モード又は消灯モードのいずれか一方に設定する為の走査パルスSPを発生し、これらを行電極 $Y_1 \sim Y_n$ に印加する。

### 【0003】

図2は、X行電極ドライバ3及びY行電極ドライバ4の内部構成を表す図である。尚、図2において、電極 $X_j$ は電極 $X_1 \sim X_n$ のうちの第j行の電極であり、電極 $Y_j$ は電極 $Y_1 \sim Y_n$ のうちの第j行の電極を示している。

X行電極ドライバ3には、2つの電源B1、B2が備えられている。電源B1は電圧Vs1（例えば、170V）を出力し、電源B2は電圧Vr1（例えば、190V）を出力する。電源B1の正端子はスイッチング素子S3を介して電極 $X_j$ への接続ライン11に接続され、負端子はアース接続されている。接続ライン11とアースとの間にはスイッチング素子S4が接続されている他、スイッチング素子S1、ダイオードD1及びコイルL1からなる直列回路と、コイルL2、ダイオードD2及びスイッチング素子S2からなる直列回路とがコンデンサC1を共通にアース側に介して接続されている。なお、ダイオードD1はコンデンサC1側をアノードとしており、ダイオードD2はコンデンサC1側をカソードとして接続されている。また、電源B2の正端子はスイッチング素子S8及び抵抗R1を介して接続ライン11に接続され、電源B2の負端子はアース接続されている。Y行電極ドライバ4には、4つの電源B3～B6が備えられている。電源B3は電圧Vs1（例えば、170V）を出力し、電源B4は電圧Vr1（例えば、190V）を出力し、電源B5は電圧V<sub>off</sub>（例えば、140V）を出力し、電源B6は電圧V<sub>h</sub>（例えば、160V、 $V_h > V_{off}$ ）を出力する。電源B3の正端子はスイッチング素子S13を介してスイッチング素子S15への接続ライン12に接続され、負端子はアース接続されている。接続ライン12とアースとの間にはスイッチング素子S14が接続されている他、スイッチング素子S11、ダイオードD3及びコイルL4からなる直列回路と、コイルL4、ダイオードD4及びスイッチング素子S12からなる直列回路とがコンデンサC2を共通にアース側に介して接続されている。

ス側に介して接続されている。なお、ダイオードD 3はコンデンサC 2側をアノードとしており、ダイオードD 4はコンデンサC 2側をカソードとして接続されている。接続ライン1 2はスイッチング素子S 1 5を介して電源B 6の正端子への接続ライン1 3に接続されている。電源B 4の正端子はアース接続され、負端子はスイッチング素子S 1 6、そして抵抗R 2を介して接続ライン1 3に接続されている。電源B 5の正端子はスイッチング素子S 1 7を介して接続ライン1 3に接続され、負端子はアース接続されている。接続ライン1 3はスイッチング素子S 2 1を介して電極Y<sub>j</sub>への接続ライン1 4に接続されている。電源B 6の負端子はスイッチング素子S 2 2を介して接続ライン1 4に接続されている。接続ライン1 3、1 4との間にはダイオードD 5が接続され、またスイッチング素子S 2 3とダイオードD 6との直列回路が接続されている。ダイオードD 5は接続ライン1 4側をアノードとし、ダイオードD 6は接続ライン1 4側をカソードとして接続されている。

#### 【0 0 0 4】

ここで、上記スイッチング素子S 1～S 4、S 8、S 1 1～S 1 7及びS 2 1～S 2 3のオン／オフ切り換えは、図示しない制御回路によって制御される。

尚、Y行電極ドライバ4内では、電源B 3、スイッチング素子S 1 1～S 1 5、コイルL 3、L 4、ダイオードD 3、D 4及びコンデンサC 2がサステインドライバ部を構成している。又、電源B 4、抵抗R 2及びスイッチング素子S 1 6がリセットドライバ部を構成し、残りの電源B 5、B 6、スイッチング素子S 1 3、S 1 7、S 2 1、S 2 2及びダイオードD 5、D 6がスキन्दライバ部を構成している。

#### 【0 0 0 5】

次に、かかる構成による動作について図3のタイミングチャートを参照しつつ説明する。

図3に示すように、PDP 1の駆動は、リセット期間、アドレス期間及びサステイン期間によって区分けして行われる。

先ず、リセット期間では、Y行電極ドライバ4のスイッチング素子S 2 3がオンとなる。スイッチング素子S 2 3はリセット期間及びサステイン期間において

オンとなる。また、同時にX行電極ドライバ3のスイッチング素子S8がオンとなり、Y行電極ドライバ4のスイッチング素子S16がオンとなる。その他のスイッチング素子はオフである。スイッチング素子S8のオンにより電源B2の正端子からスイッチング素子S8、抵抗R1を介して電極 $X_j$ に電流が流れ、またスイッチング素子S16のオンにより電極 $Y_j$ からダイオードD5、抵抗R2、スイッチング素子S16を介して電源B4の負端子に電流が流れ込む。この際、PDP1の負荷容量C0と抵抗R1との時定数により電極 $X_j$ 上の電位が徐々に上昇し、図3に示す如きリセットパルス $RP_x$ が生成される。一方、電極 $Y_j$ の電位は負荷容量C0と抵抗R2との時定数により徐々に低下し、図3に示す如きリセットパルス $RP_y$ が生成される。リセットパルス $RP_x$ は電極 $X_1 \sim X_n$ の全てに同時に印加され、リセットパルス $RP_y$ は電極 $Y_1 \sim Y_n$ 全てに同時に印加される。これらリセットパルス $RP_x$ 及び $RP_y$ の同時印加により、PDP1の全ての放電セル内においてリセット放電が生起され、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。かかるリセット放電により、全ての放電セルは点灯モードに初期化される。スイッチング素子S8及びスイッチング素子S16はリセットパルス $RP_x$ 及び $RP_y$ のレベルが飽和した後、リセット期間終了以前にオフとなる。また、この時点にスイッチング素子S4、S14及びS15がオンとなり、電極 $X_j$ 及び $Y_j$ は共にアースされる。これによりリセットパルス $RP_x$ 及び $RP_y$ は消滅する。

#### 【0006】

次に、アドレス期間では、スイッチング素子S14及びS15がオフとなり、スイッチング素子S23がオフとなり、スイッチング素子S17がオンとなり、同時にスイッチング素子S22がオンとなる。スイッチング素子S17のオンにより電源B5と電源B6とが直列に接続された状態となり、電源B6の負端子には電圧 $V_h$ と $V_{off}$ との差を示す負電位が生じ、それが電極 $Y_j$ に印加される。更に、このアドレス期間においてアドレスドライバ2は映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルス $DP_1 \sim DP_n$ に変換し、これを1行分毎に、上記列電極 $D_1 \sim D_m$ に順次印加する。図3に示すように電極 $Y_j$ 、 $Y_{j+1}$ に対しては画素データパルス $DP_j$ 、 $DP_{j+1}$ が印



加される。この間、Y行電極ドライバ4は、正電圧のプライミングパルスPPを行電極 $Y_1 \sim Y_n$ に順次印加しつつ、各プライミングパルスPPの印加直後でありかつ上記画素データパルス群 $DP_1 \sim DP_n$ 各々のタイミングに同期させて負電圧の走査パルスSPを行電極 $Y_1 \sim Y_n$ に順次印加して行く。電極 $Y_j$ について説明すると、プライミングパルスPPを生成する際には、スイッチング素子S21がオンとなり、スイッチング素子S22がオフとなる。また、スイッチング素子S17はオンのままである。これにより電源B5の正端子の電位 $V_{off}$ がスイッチング素子S17、そしてスイッチング素子S21を介して電極 $Y_j$ にプライミングパルスPPとして印加される。プライミングパルスPPの印加後、アドレスドライバ2からの画素データパルス $DP_j$ の印加に同期してスイッチング素子S21がオフとなり、スイッチング素子S22がオンとなる。これにより電源B6の負端子の電圧 $V_h$ と $V_{off}$ との差を示す負電位が電極 $Y_j$ に走査パルスSPとして印加される。そして、アドレスドライバ2からの画素データパルス $DP_j$ の印加の停止に同期してスイッチング素子S21がオンとなり、スイッチング素子S22がオフとなり、電源B5の正端子の電位 $V_{off}$ がスイッチング素子S17、そしてスイッチング素子S21を介して電極 $Y_j$ に印加される。その後、電極 $Y_{j+1}$ についても図3に示すように、電極 $Y_j$ と同様にプライミングパルスPPが印加され、アドレスドライバ2からの画素データパルス $DP_{j+1}$ の印加に同期して走査パルスSPが印加される。走査パルスSPが印加された行電極に属する放電セルの内では、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルスSPが印加されたものの正電圧の画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が消滅してしまった放電セルは消灯モード、壁電荷が残留している放電セルは点灯モードに設定される。アドレス期間からサステイン期間に切り替わる時には、スイッチング素子S17、S21はオフとなり、代わってスイッチング素子S14及びS15がオンとなる。スイッチング素子S4のオン状態は継続される。

【0007】

次に、サステイン期間では、X行電極ドライバ3のスイッチング素子S4がオ

ン状態となることにより電極 $X_j$ の電位はほぼ0Vのアース電位となる。次に、スイッチング素子 $S_4$ がオフとなり、スイッチング素子 $S_1$ がオンになると、コンデンサ $C_1$ に蓄えられている電荷によりコイル $L_1$ 、ダイオード $D_1$ 、そしてスイッチング素子 $S_1$ を介して電流が電極 $X_j$ に達してPDP1の負荷容量 $C_0$ を充電させる。このとき、コイル $L_1$ 及び負荷容量 $C_0$ の時定数により電極 $X_j$ の電位は図3に示すように徐々に上昇する。次いで、スイッチング素子 $S_1$ がオフとなり、スイッチング素子 $S_3$ がオンとなる。これにより、電極 $X_j$ には電源 $B_1$ の正端子の電位 $V_{S1}$ が印加される。その後、スイッチング素子 $S_3$ がオフとなり、スイッチング素子 $S_2$ がオンとなり、負荷容量 $C_0$ に蓄積された電荷により電極 $X_j$ からコイル $L_2$ 、ダイオード $D_2$ 、そしてスイッチング素子 $S_2$ を介してコンデンサ $C_1$ に電流が流れ込む。このとき、コイル $L_2$ 及びコンデンサ $C_1$ の時定数により電極 $X_j$ の電位は図3に示すように徐々に低下する。電極 $X_j$ の電位がほぼ0Vに達すると、スイッチング素子 $S_2$ がオフとなり、スイッチング素子 $S_4$ がオンとなる。かかる動作によってX行電極ドライバ3は図3に示した如き正電圧の維持放電パルス $IP_x$ を電極 $X_j$ に印加する。維持放電パルス $IP_x$ が消滅するスイッチング素子 $S_4$ のオン時に同時に、Y行電極ドライバ4ではスイッチング素子 $S_{11}$ がオンとなり、スイッチング素子 $S_{14}$ がオフとなる。スイッチング素子 $S_{14}$ がオンであったときには電極 $Y_j$ の電位はほぼ0Vのアース電位となっているが、スイッチング素子 $S_{14}$ がオフとなり、スイッチング素子 $S_{11}$ がオンになると、コンデンサ $C_2$ に蓄えられている電荷によりコイル $L_3$ 、ダイオード $D_3$ 、スイッチング素子 $S_{11}$ 、スイッチング素子 $S_{15}$ 、スイッチング素子 $S_{13}$ 、そしてダイオード $D_6$ を介して電流が電極 $Y_j$ に達してPDP1の負荷容量 $C_0$ を充電させる。このとき、コイル $L_3$ 及び負荷容量 $C_0$ の時定数により電極 $Y_j$ の電位は図3に示すように徐々に上昇する。次いで、スイッチング素子 $S_{11}$ がオフとなり、スイッチング素子 $S_{13}$ がオンとなる。これにより、電極 $Y_j$ には電源 $B_3$ の正端子の電位 $V_{S1}$ が印加される。その後、スイッチング素子 $S_{13}$ がオフとなり、スイッチング素子 $S_{12}$ がオンとなり、負荷容量 $C_0$ に蓄積された電荷により電極 $Y_j$ からダイオード $D_5$ 、スイッチング素子 $S_{15}$ 、コイル $L_4$ 、ダイオード $D_4$ 、そしてスイッチング素子 $S_{12}$ を介し

てコンデンサC2に電流が流れ込む。このとき、コイルL4及びコンデンサC2の時定数により電極 $Y_j$ の電位は図3に示すように徐々に低下する。電極 $Y_j$ の電位がほぼ0.Vに達すると、スイッチング素子S12がオフとなり、スイッチング素子S14がオンとなる。かかる動作によってY行電極ドライバ4は図3に示した如き正電圧の維持放電パルス $IP_y$ を電極 $Y_j$ に印加する。

【0008】

このように、サステイン期間においては、維持放電パルス $IP_x$ と維持放電パルス $IP_y$ とが交互に生成して電極 $X_1 \sim X_n$ と電極 $Y_1 \sim Y_n$ とに交互に印加されるので、上記壁電荷が残留したままとなっている放電セル、つまり点灯モードに設定されている放電セルのみが放電発光を繰り返しその発光状態を維持する。

ところで、リセット期間において全放電セル内の壁電荷量を一斉に初期化すべく生起させるリセット放電は比較的強い放電にする必要があるため、図3に示す如く、リセットパルス $RP_y$ のパルス電圧( $-Vr1$ )は維持放電パルス $IP_y$ のパルス電圧よりも高くしてある。それ故に、Y行電極ドライバ4内には、維持放電パルス $IP_y$ を発生させる為の電源B3(電圧 $Vs1$ )よりも高電圧を発生する電源B4(電圧 $Vr1$ )が設けられており、回路規模が大になるという問題を抱えていた。又、上記電源B3及び電源B4の電圧値が互いに異なり、かつ電源B3及び電源B4間に設けられているスイッチング素子S13、S15及びS16が半導体スイッチであることから、電源B3及び電源B4間に逆電流が流れる可能性があった。更に、リセット放電に伴う発光は表示画像には何ら関与していないので、コントラストの低下を招いていた。

【0009】

【特許文献1】

特開2000-155557号公報

【0010】

【発明が解決しようとする課題】

本発明は、かかる問題を解決すべく為されたものであり、コントラストの低下を抑制しつつ回路規模を小にすることが可能な表示パネルの駆動装置を提供することを目的とするものである。

## 【 0 0 1 1 】

## 【課題を解決するための手段】

請求項 1 記載による表示パネルの駆動装置は、複数の行電極と、前記行電極に交差して配列された複数の列電極と、前記行電極及び前記列電極の各交差部に配置された容量性発光素子と、を有する表示パネルを駆動する駆動装置であって、第 1 電圧を発生する第 1 電源を備え前記第 1 電圧に基づいて前記容量性発光素子各々を点灯状態及び消灯状態のいずれか一方に設定させるべき走査パルスが発生して前記行電極に印加するスキन्दライバと、第 2 電圧を発生する第 2 電源を備え前記第 2 電圧に基づいて前記点灯状態に設定された前記容量性発光素子を発光させるべき維持放電パルスが発生して前記行電極に印加するサステインドライバと、前記第 1 電源にて発生した前記第 1 電圧と前記第 2 電源にて発生した前記第 2 電圧とを加算した電圧に基づいて前記容量性発光素子の状態を初期化すべきリセットパルスが発生して前記行電極に印加するリセットドライバと、を備え、前記リセットドライバは、前縁部でのレベル推移が急峻であり且つ前記前縁部に続く部分でのレベル推移が緩やかな波形を有するパルス信号を前記リセットパルスとして発生する。

## 【 0 0 1 2 】

## 【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図 4 は、表示パネルとして PDP を搭載したプラズマディスプレイ装置の概略構成を示す図である。

図 4 において、プラズマディスプレイパネルとしての PDP 10 は、X 及び Y の 1 対にて 1 画面の各表示ライン（第 1 表示ライン～第 n 表示ライン）に対応した行電極対を為す行電極  $Y_1 \sim Y_n$  及び  $X_1 \sim X_n$  を備えている。更に、PDP 10 には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで 1 画面の各列（第 1 列～第 m 列）に対応した列電極  $D_1 \sim D_m$  が形成されている。尚、1 対の行電極対（X、Y）と 1 つの列電極 D との交差部に、容量性発光素子としての放電セルが形成される。

## 【 0 0 1 3 】

駆動制御回路 50 は、入力された映像信号を各画素毎の画素データに変換し、この画素データを各ビット桁毎に分割して画素データビットを得る。そして、駆動制御回路 50 は、同一ビット桁同士にて各表示ライン分 ( $m$  個) ずつ画素データビットをアドレスドライバ 20 に供給する。更に、駆動制御回路 50 は、図 5 に示す如きサブフィールド法に基づく発光駆動フォーマットに従って PDP 10 を駆動させるべく、各種スイッチング信号 SW (後述する) を X 行電極ドライバ 30 及び Y 行電極ドライバ 40 の各々に供給する。尚、サブフィールド法では、映像信号における各フィールドを図 5 に示す如き  $N$  個のサブフィールド SF 1 ~ SF ( $N$ ) に分割し、サブフィールド毎に各画素を発光駆動することにより、中間輝度を表現するものである。

#### 【 0 0 1 4 】

図 6 は、X 行電極ドライバ 30 及び Y 行電極ドライバ 40 各々の内部構成を示す図である。

図 6 において、X 行電極ドライバ 30 のコンデンサ C 1 の一端には、PDP 10 の接地電位が印加されている。スイッチング素子 S 1 は、上記駆動制御回路 50 から論理レベル 0 のスイッチング信号 SW 1 が供給されている間はオフ状態にある。一方、かかるスイッチング信号 SW 1 の論理レベルが 1 である場合にはオン状態となって、上記コンデンサ C 1 の他端に生じた電位をコイル L 1 及びダイオード D 1 を介して PDP 10 の行電極 X に印加する。スイッチング素子 S 2 は、上記駆動制御回路 50 から論理レベル 0 のスイッチング信号 SW 2 が供給されている間はオフ状態である一方、かかるスイッチング信号 SW 2 の論理レベルが 1 である場合にはオン状態となって行電極 X 上の電位をコイル L 2 及びダイオード D 2 を介して上記コンデンサ C 1 の他端に印加する。この際、コンデンサ C 1 は、この行電極 X 上の電位によって充電される。スイッチング素子 S 3 は、上記駆動制御回路 50 から論理レベル 0 のスイッチング信号 SW 3 が供給されている間はオフ状態である一方、かかるスイッチング信号 SW 3 が論理レベル 1 である場合にはオン状態となって電源 B 1 が発生した電圧  $V_s$  を行電極 X に印加する。尚、電圧  $V_s$  は、後述する維持放電パルス  $IP_X$  のパルス電圧である。スイッチング素子 S 4 は、上記駆動制御回路 50 から論理レベル 0 のスイッチング信号 S

W4 が供給されている間はオフ状態である一方、かかるスイッチング信号SW4 が論理レベル1である場合にはオン状態となって行電極XをPDP接地電位に設定する。

## 【0015】

Y行電極ドライバ40は、サスティンドライバ部SUD、リセットドライバ部RSD及びスキヤンドライバ部SCDからなる。

サスティンドライバ部SUDのコンデンサC2の一端には、PDP10の接地電位が印加されている。スイッチング素子S11は、上記駆動制御回路50から論理レベル0のスイッチング信号SW11が供給されている間はオフ状態にある。一方、スイッチング信号SW11の論理レベルが1である場合にはオン状態となって、上記コンデンサC2の他端に生じた電位をコイルL3及びダイオードD3を介して接続ライン12上に印加する。スイッチング素子S12は、上記駆動制御回路50から論理レベル0のスイッチング信号SW12が供給されている間はオフ状態である一方、スイッチング信号SW12の論理レベルが1である場合にはオン状態となって接続ライン12上の電位をコイルL4及びダイオードD4を介して上記コンデンサC2の他端に印加する。この際、コンデンサC2は、この接続ライン12上の電位によって充電される。スイッチング素子S13は、上記駆動制御回路50から論理レベル0のスイッチング信号SW13が供給されている間はオフ状態である一方、スイッチング信号SW13が論理レベル1である場合にはオン状態となって電源B3が発生した電圧 $V_s$ を接続ライン12上に印加する。尚、電圧 $V_s$ は、後述する維持放電パルス $IP_y$ のパルス電圧値である。スイッチング素子S14は、上記駆動制御回路50から論理レベル0のスイッチング信号SW14が供給されている間はオフ状態である一方、スイッチング信号SW14が論理レベル1である場合にはオン状態となって接続ライン12をPDP接地電位に設定する。スイッチング素子S15は、駆動制御回路50から供給されたスイッチング信号SW15が論理レベル1である期間中に限りオン状態となって、上記接続ライン12と後述する接続ライン13とを接続する。

## 【0016】

リセットドライバ部RSDにおけるスイッチング素子S17は、上記駆動制御

回路50から論理レベル0のスイッチング信号SW17が供給されている間はオフ状態にある。一方、スイッチング信号SW17が論理レベル1である場合にはスイッチング素子S17はオン状態となり、上記電源B3の正端子と接続ライン13とを抵抗R1を介して接続する。すなわち、スイッチング素子S17は、スイッチング信号SW17に応じて、上記電源B3が発生した電圧 $V_s$ を抵抗R1を介して接続ライン13上に印加するのである。スイッチング素子S18は、上記駆動制御回路50から論理レベル0のスイッチング信号SW18が供給されている間はオフ状態にある。一方、スイッチング信号SW18が論理レベル1である場合にはスイッチング素子S18はオン状態となり、上記電源B3の正端子と接続ライン13とを抵抗R2を介して接続する。すなわち、スイッチング素子S18は、スイッチング信号SW18に応じて、上記電源B3が発生した電圧 $V_s$ を抵抗R2を介して接続ライン13上に印加するのである。尚、抵抗R2は、抵抗R1よりも高抵抗である。

## 【0017】

スキヤンドライバ部SCDにおけるスイッチング素子S19及びS20は、上記駆動制御回路50から論理レベル0のスイッチング信号SW19及びSW20が供給されている間はオフ状態にある。一方、スイッチング信号SW19及びSW20が共に論理レベル1である場合には共にオン状態となり、電源B5が発生した負の電圧( $-V_{off}$ )を抵抗R3を介して接続ライン13上に印加する。尚、電圧( $-V_{off}$ )は、後述する走査パルスSPにおけるパルス電圧値を担う電圧である。つまり、電源B5は、走査パルスSPのパルス電圧値としての電圧( $-V_{off}$ )を発生する電源なのである。スイッチング素子S21は、駆動制御回路50から供給されたスイッチング信号SW21が論理レベル1である期間中に限りオン状態となって、電源B6の正端子と行電極Yとを接続する。すなわち、スイッチング素子S21は、スイッチング信号SW21に応じて、電源B6の正端子の電位を行電極Y上に印加するのである。スイッチング素子S22は、駆動制御回路50から供給されたスイッチング信号SW22が論理レベル1である期間中に限りオン状態となって、電源B6の負端子と行電極Yとを接続する。すなわち、スイッチング素子S22は、スイッチング信号SW22に応じて、電源B6の負

端子に接続されている接続ライン 1 3 上の電位を行電極 Y 上に印加するのである。尚、電源 B 6 は、後述するアドレス期間内において全ての行電極  $Y_1 \sim Y_n$  上の電圧を正極性の電圧に固定すべき電圧  $V_h$  を発生する電源である。この際、電圧  $V_h$  は、走査パルス S P におけるパルス電圧の一部を担うものとなる。つまり、電源 B 5 は、走査パルス S P のパルス電圧の一部を担う電圧  $V_h$  を発生する電源なのである。

## 【 0 0 1 8 】

次に、かかる構成による動作について図 7 のタイミングチャートを参照しつつ説明する。尚、図 7 においては、図 5 に示す先頭のサブフィールド S F 1 内での動作を抜粋して示す図である。図 7 に示すようにサブフィールド S F 1 は、リセット期間、アドレス期間及びサステイン期間からなる。

先ず、リセット期間では、駆動制御回路 5 0 が、サステインドライバ部 S U D のスイッチング素子 S 1 4 をオフ状態、スイッチング素子 S 1 5 をオン状態に夫々設定する。更に、かかるリセット期間内において、駆動制御回路 5 0 は、リセットパルスの前縁部を生成するための第 1 波形生成行程 R S 1、及びリセットパルスの主体部を生成するための第 2 波形生成行程 R S 2 を順次実行する。第 1 波形生成行程 R S 1 では、リセットドライバ部 R S D のスイッチング素子 S 1 8 がオフ状態、スイッチング素子 S 1 7 がオン状態に夫々設定される。又、第 2 波形生成行程 R S 2 では、リセットドライバ部 R S D のスイッチング素子 S 1 8 がオン状態、スイッチング素子 S 1 7 がオフ状態に夫々設定される。更に、上記第 1 波形生成行程 R S 1 及び第 2 波形生成行程 R S 2 では、スキヤンドライバ部 S C D のスイッチング素子 S 2 1 がオン状態、スイッチング素子 S 2 2 がオフ状態に夫々設定される。よって、上記第 1 波形生成行程 R S 1 及び第 2 波形生成行程 R S 2 の実行中はスキヤンドライバ部 S C D の電源 B 6 の電圧  $V_h$  が行電極 Y に印加されると共に、図 6 の C R 1 にて示す電流路を介してサステインドライバ部 S U D の電源 B 3 からの電流が放電セル内に流れ込む。

## 【 0 0 1 9 】

この際、上記第 1 波形生成行程 R S 1 では、電源 B 3 からの電流がスイッチング素子 S 1 7 及び抵抗 R 1 を介して放電セル内に流れ込む。従って、上記電圧 V



hに設定された行電極Y上の電圧は、PDP10の負荷容量C0及び抵抗R1による時定数( $C0 \cdot R1$ )に応じた図7に示す如き傾斜にて徐々に上昇する。そして、行電極Y上の電圧が所定電圧Vcよりも大となると、駆動制御回路50は第2波形生成行程RS2の実行に移る。尚、所定電圧Vcは、PDP10に形成されている放電セルの放電開始電圧よりも僅かに低い電圧である。第2波形生成行程RS2では、上記スイッチング素子S17及び抵抗R1に代わりスイッチング素子S18及び抵抗R2なる電流路を介して電源B3からの電流が放電セル内に流れ込むことになる。これにより、行電極Y上の電圧は、PDP10の負荷容量C0及び抵抗R2による時定数( $C0 \cdot R2$ )に応じた図7に示す如き傾斜にて徐々に上昇する。この際、抵抗R2は抵抗R1よりも高抵抗であるので、図7に示すように、第2波形生成行程RS2での電圧上昇に比して、第1波形生成行程RS1での電圧上昇は急峻になる。ここで、行電極Y上の電圧が電源B3と電源B6との直列接続によって生じる電圧( $Vs + Vh$ )に到達したら、駆動制御回路50は、スイッチング素子S18及びS21を共にオフ状態に切り替えると共に、スイッチング素子S22をオン状態に切り替える。これにより、スイッチング素子S22、S15及びS14なる電流路(図6のCR2にて示す)が形成され、行電極Y上の電圧は直ちに0ボルトに推移する。上記第1波形生成行程RS1及び第2波形生成行程RS2の実行により、前縁部では比較的急峻に、その後は比較的緩やかに電圧レベルが上昇して最高のパルス電圧値( $Vs + Vh$ )に推移するリセットパルス $RP_y$ が生成され、これが全ての行電極Yに印加される。この際、リセットパルス $RP_y$ の電圧が図7に示す如き所定電圧Vcを越えると、各放電セル内において第1リセット放電(書込放電)が生起される。かかる第1リセット放電により、各放電セルの放電空間内には荷電粒子が形成され、更に、誘電体層に所定量の壁電荷が形成される。そして、リセットパルス $RP_y$ の立ち下がり時において、全放電セルにおいて第2リセット放電(消去放電)が生起され、全ての放電セル内から上記壁電荷が消滅する。すなわち、リセットパルス $RP_y$ の印加に応じて生起される第1リセット放電及び第2リセット放電により、全ての放電セルは消灯モードに初期化されるのである。

【0020】

次に、アドレス期間では、駆動制御回路 5 0 が、スキヤンドライバ部 S C D におけるスイッチング素子 S 1 9 ~ S 2 1 をオフ状態からオン状態に切り換え、スイッチング素子 S 2 2 をオン状態からオフ状態に切り換える。これにより、行電極 Y 上の電圧は、図 7 に示す如く電源 B 3 が発生した正極性の電圧  $V_h$  に維持される。そして、駆動制御回路 5 0 は、P D P 1 0 における第 1 ~ 第 n 表示ライン各々に対応したスイッチング素子 S 2 1 を順次、所定期間だけオフ状態に切り換えると共に、第 1 ~ 第 n 表示ライン各々に対応したスイッチング素子 S 2 2 を順次、所定期間だけオン状態に切り換える。すると、スイッチング素子 S 2 1 がオフ状態、S 2 2 がオン状態にある期間だけ行電極  $Y_1 \sim Y_n$  各々の電位が順次、正極性の電圧  $V_h$  から負の電圧  $-V_{off}$  に推移して走査パルス S P が生成される。この間、アドレスドライバ 2 は映像信号に基づく各画素毎の画素データに対応した画素データパルス D P を 1 表示ライン分 (m 個) ずつ列電極  $D_1 \sim D_m$  に印加する。これにより、上記走査パルス S P と同時に、高電圧の画素データパルス D P が印加された放電セル内において選択的に書込放電が生じ、その放電終息後に壁電荷が形成される。一方、走査パルス S P が印加されたものの高電圧の画素データパルスが印加されなかった放電セル内では上記の如き書込放電は生起されないので、壁電荷の形成はなされない。かかるアドレス期間において、壁電荷が形成された放電セルは点灯モード、壁電荷が消滅してしまった放電セルは消灯モードに設定される。

#### 【 0 0 2 1 】

サステイン期間では、駆動制御回路 5 0 は、先ず、サステインドライバ部 S U D のスイッチング素子 S 1 4 をオフ状態からオン状態に切り換え、所定期間経過後に、サステインドライバ部 S U D のスイッチング素子 S 1 5 をオフ状態からオン状態に切り換える。そして、駆動制御回路 5 0 は、サステインドライバ部 S U D のスイッチング素子 S 1 1 ~ S 1 4 各々に対しては図 7 に示す如きスイッチング設定 S S Y を断続的に繰り返し実行する。更に、駆動制御回路 5 0 は、X 行電極ドライバ 3 0 のスイッチング素子 S 1 ~ S 4 各々に対しては図 7 に示す如きスイッチング設定 S S X を断続的に繰り返し実行する。スイッチング設定 S S X では、先ず、スイッチング素子 S 1 ~ S 4 の内の S 1 のみがオン状態となり、コン

デンサC1に蓄えられていた電荷に伴う電流がコイルL1、ダイオードD1、行電極Xを介して放電セルに流れ込む。これにより、行電極X上の電圧は図7に示す如く徐々に上昇して行く。次に、上記スイッチング素子S1と共にS3がオン状態となり、電源B1による電圧 $V_S$ がそのまま行電極Xに印加される。これにより、行電極X上の電圧は電圧 $V_S$ にて固定される。そして、スイッチング素子S1～S4の内のS2のみがオン状態となり、行電極X及びY間の負荷容量 $C_0$ に蓄えられていた電荷に伴う電流が行電極X、コイルL2、ダイオードD2を介してコンデンサC1に流れ込む。これにより、行電極X上の電圧は図7に示す如く徐々に下降して行く。以上の如きスイッチング設定SSXが断続的に繰り返し実行されることにより、図7に示す如き電圧 $V_S$ をパルス電圧値とする維持放電パルス $IP_X$ が生成され、これが繰り返し行電極X上に印加される。一方、スイッチング設定SSYでは、先ず、スイッチング素子S11～S14の内のS11のみがオン状態となり、コンデンサC2に蓄積されていた電荷に伴う電流がコイルL3、ダイオードD3、スイッチング素子S15、スイッチング素子S22及び行電極Yを介して放電セルに流れ込む。これにより、行電極Y上の電圧は図7に示す如く徐々に上昇して行く。次に、上記スイッチング素子S11と共にS13がオン状態となり、電源B3が発生した電圧 $V_S$ がスイッチング素子S15、及びスイッチング素子S22を介して行電極Yに印加される。これにより、行電極Y上の電圧は図7に示す如く電圧 $V_S$ に固定される。そして、スイッチング素子S11～S14の内のS12、並びにスイッチング素子S17～S22の内のS22のみがオン状態となり、行電極X及びY間の負荷容量 $C_0$ に蓄えられていた電荷に伴う電流が行電極Y、スイッチング素子S22、S15、コイルL4、ダイオードD4を介してコンデンサC1に流れ込む。これにより、行電極Y上の電圧は図7に示す如く徐々に下降して行く。以上の如きスイッチング設定SSYが断続的に繰り返し実行されることにより、図7に示す如き電圧 $V_S$ をパルス電圧値とする維持放電パルス $IP_Y$ が生成され、これが繰り返し行電極Yに印加される。

#### 【0022】

サステイン期間では、壁電荷が存在する放電セル、つまり点灯モードに設定さ

れている放電セルのみが、上記の如き維持放電パルス  $I P_X$  及び  $I P_Y$  が印加される度に放電(維持放電)し、その放電に伴う発光を繰り返す。

以上の如く、図6に示すY行電極ドライバ40においては、維持放電パルス  $I P_Y$  を生成する為の電源B3と走査パルスSPを生成する為の電源B6とを直列接続することにより、両者の電圧の和である電圧( $V_s + V_h$ )をリセットパルス  $R P_Y$  のパルス電圧として用いるようにしている。すなわち、リセットパルスを生成するための専用の電源を設けずとも、比較的高電圧のパルス電圧を有するリセットパルスを生成可能にしたのである。又、接続ライン13上の電位が電源B3の電位を越えないため、維持放電パルス  $I P_Y$  を生成する電源B3に対する電流の逆流も起こらない。よって、リセットパルスの専用電源と共に、逆流防止回路も不要となるので回路規模を小規模化することが可能となる。

#### 【0023】

更に、本願発明においては、PDP10に形成されている放電セル各々の放電開始電圧にはバラツキがあることに着目して、図7に示す如き電圧レベルが緩やかに推移するリセットパルス  $R P_Y$  を用いてリセット放電を生起させることにより、リセット放電に伴う発光輝度を抑止するようにしている。すなわち、図7に示す如きリセットパルス  $R P_Y$  の印加によれば、行電極Y上の電圧レベルが緩やかに上昇するので、第2波形生成行程RS2の実行期間中において、放電開始電圧の低い放電セルから高い放電セルへと徐々にリセット放電が生起されて行くことになる。よって、全放電セルが一斉にリセット放電する場合に比してリセット放電に伴う発光輝度が低下するのである。この際、本願発明においては、リセットパルス  $R P_Y$  の前縁部、つまり電圧レベルが図7に示す如き所定電圧  $V_c$  を越えるまでの部分(第1波形生成行程RS1)では、それに続く部分(第2波形生成行程RS2)に比して電圧レベルを急峻に推移させている。すなわち、リセットパルス  $R P_Y$  の前縁部でのレベル推移を急峻にすることにより、その電圧レベルが、各放電セルの放電開始電圧として取り得る最低の放電開始電圧よりも僅かに低い電圧(所定電圧  $V_c$ )に到るまでの時間を短縮しているのである。

#### 【0024】

これにより、リセットパルスのパルス幅を広げることなく、上記第2波形生成

行程 R S 2 の実行期間を長くすることが可能となるので、各放電セルに生起されるリセット放電の時期が分散される。よって、同一時点に生起されるリセット放電の数が少なくなつてこのリセット放電に伴う発光輝度が低下するので、画面のコントラストが高まる。

【図面の簡単な説明】

【図 1】

プラズマディスプレイ装置の概略構成を示す図である。

【図 2】

図 1 に示されるプラズマディスプレイ装置の X 行電極ドライバ 3 及び Y 行電極ドライバ 4 の内部構成を示す図である。

【図 3】

X 行電極ドライバ 3 及び Y 行電極ドライバ 4 の動作を示すタイムチャートである。

【図 4】

本発明によるプラズマディスプレイ装置の概略構成を示す図である。

【図 5】

サブフィールド法に基づく概略駆動フォーマットを示す図である。

【図 6】

図 4 に示されるプラズマディスプレイ装置の X 行電極ドライバ 3 0 及び Y 行電極ドライバ 4 0 の内部構成を示す図である。

【図 7】

X 行電極ドライバ 3 0 及び Y 行電極ドライバ 4 0 の動作を示すタイムチャートである。

【符号の説明】

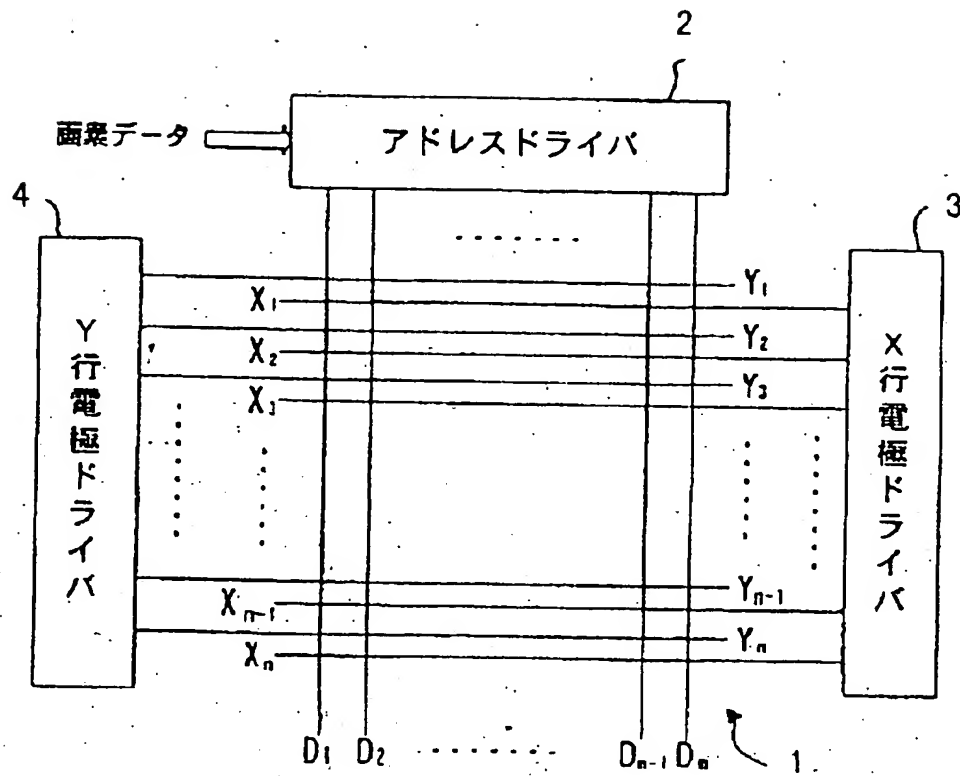
1 0 P D P

3 0 X 行電極ドライバ

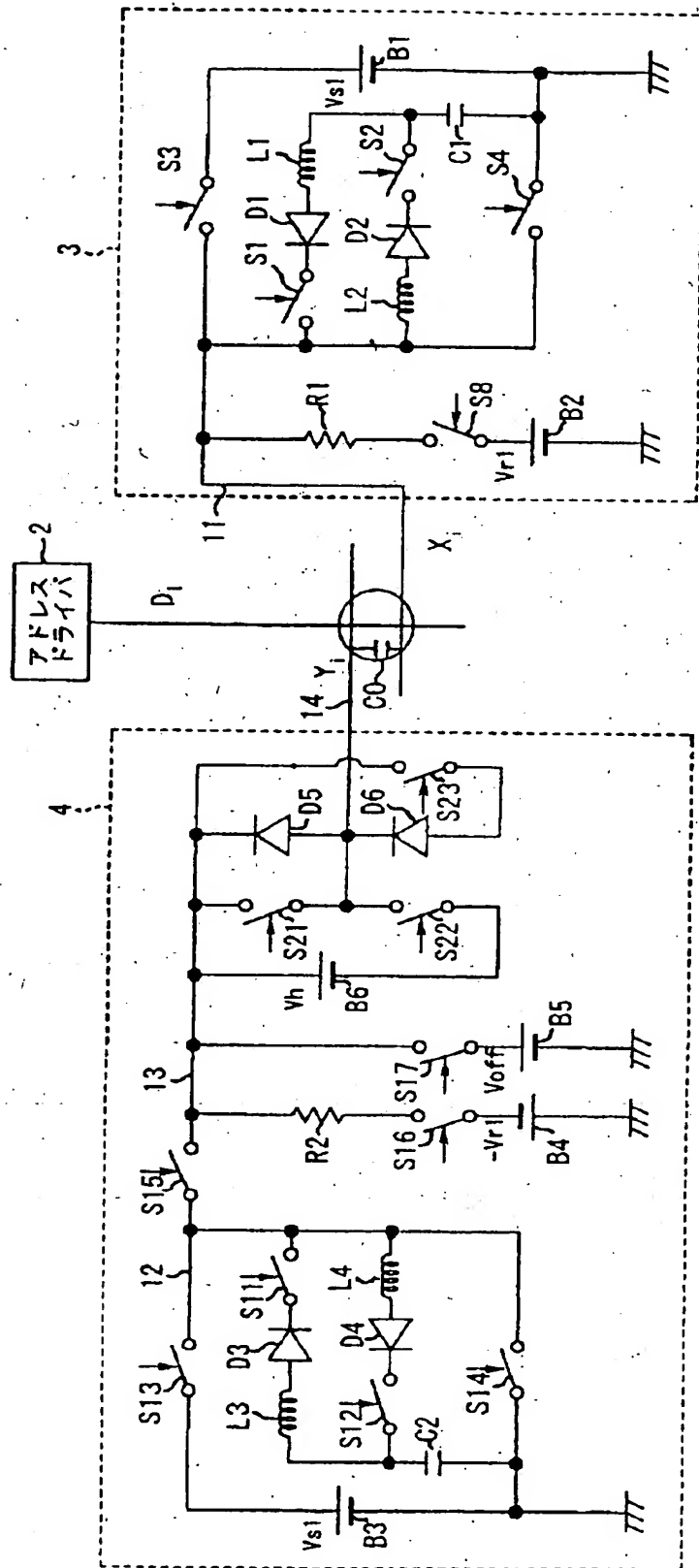
4 0 Y 行電極ドライバ

【書類名】 図面

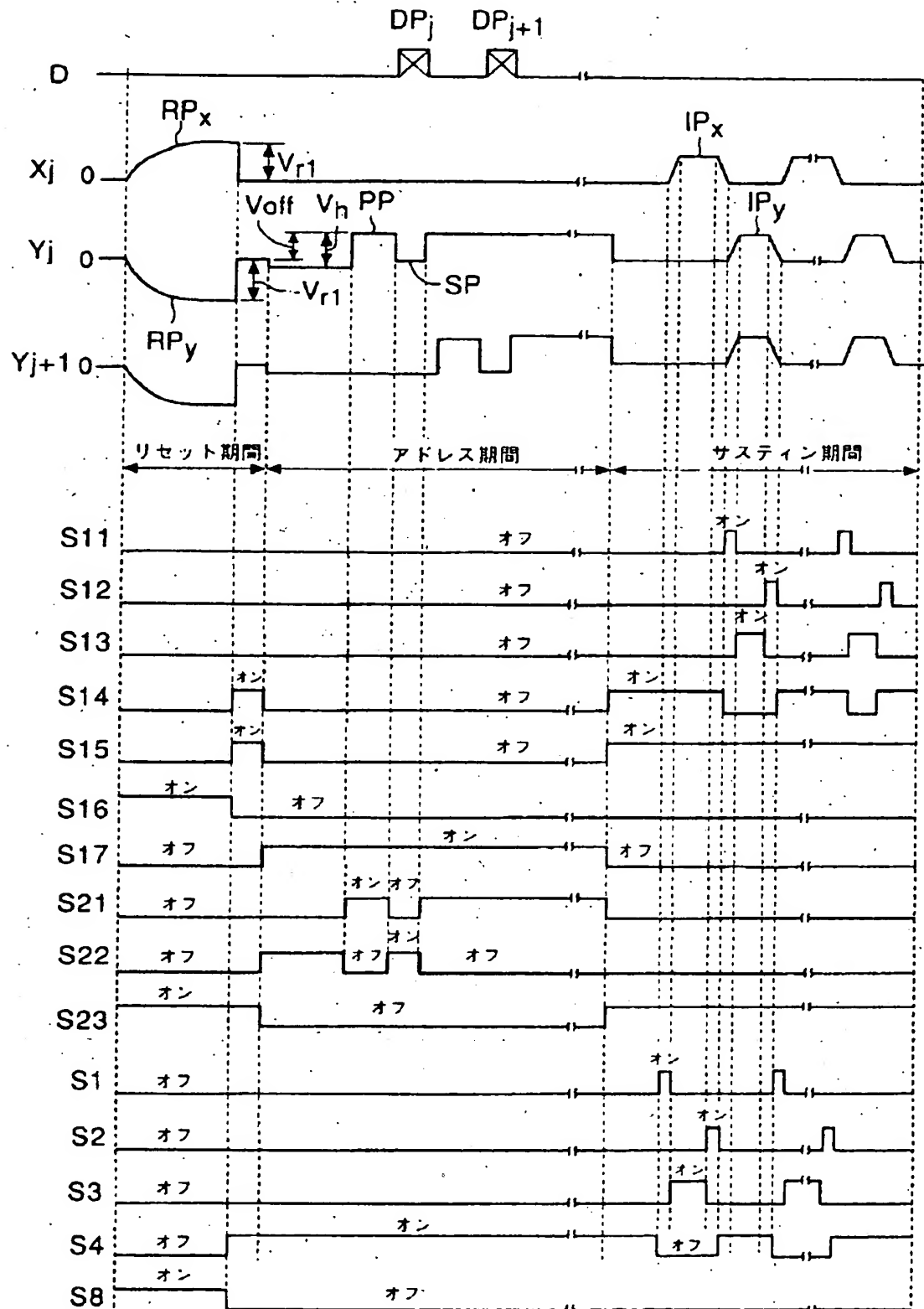
【図1】



【図2】

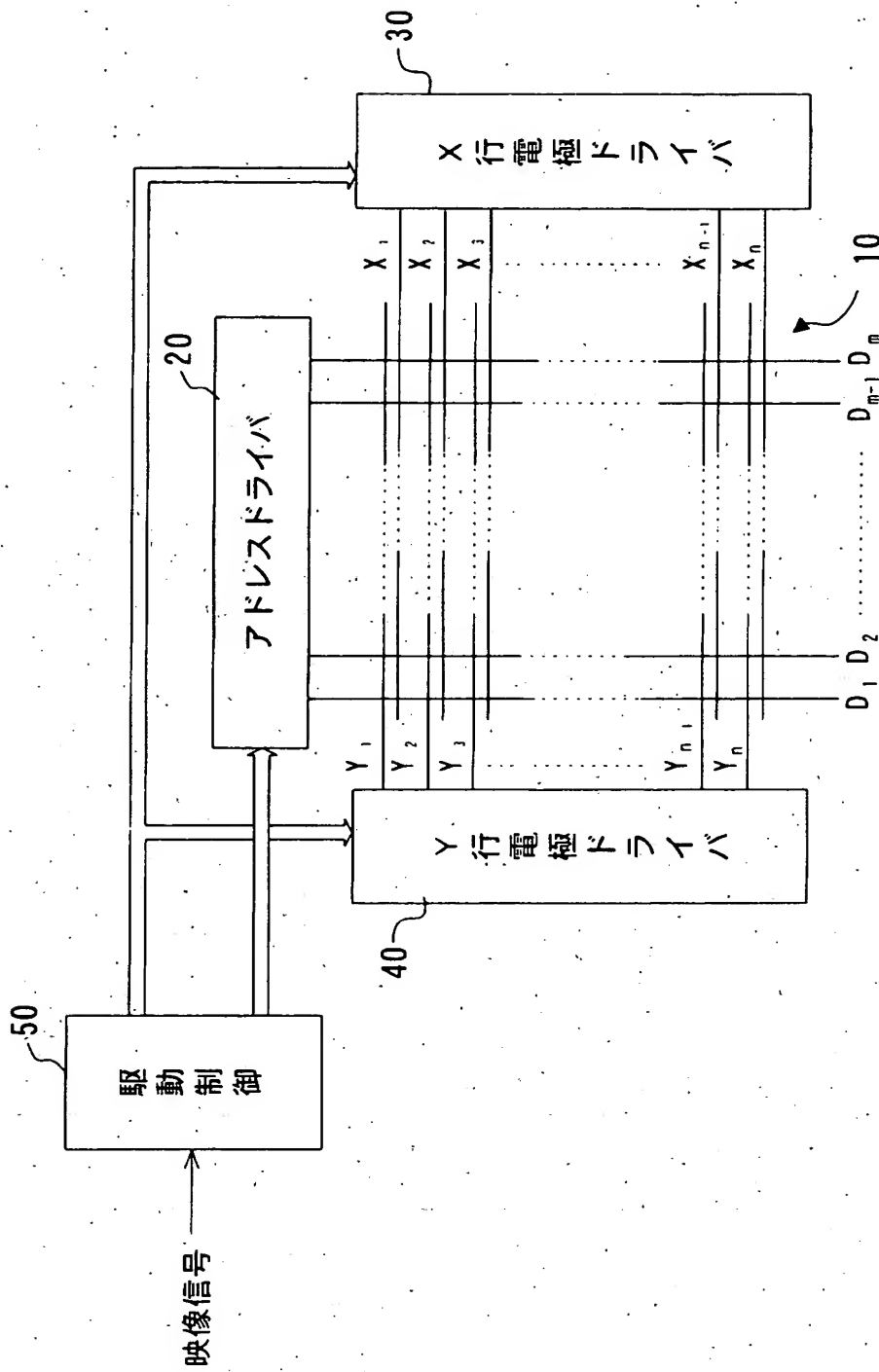


【図3】

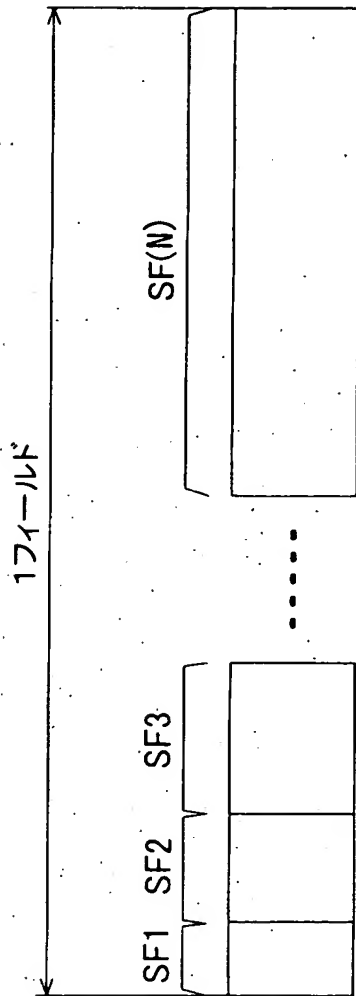




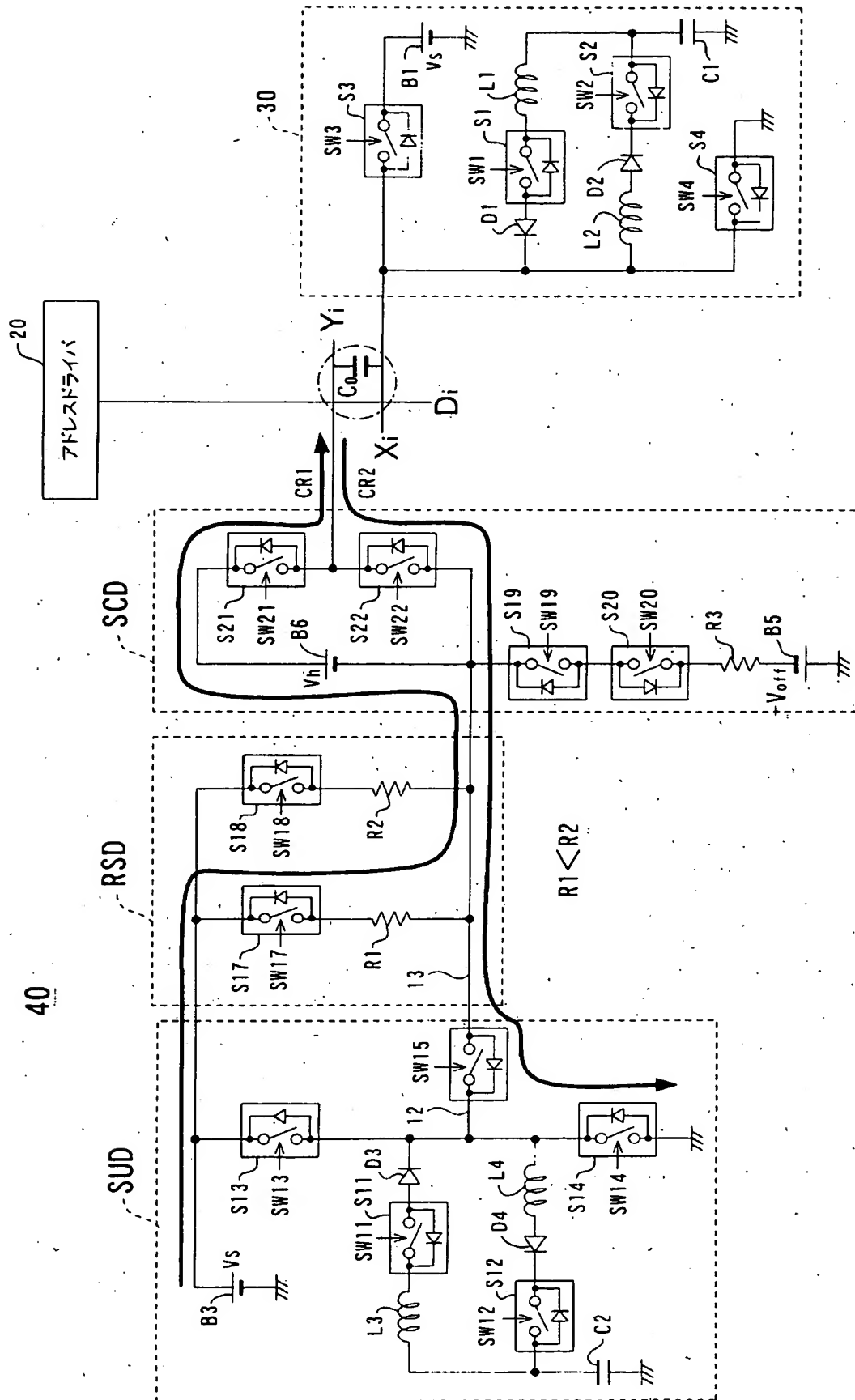
【図4】



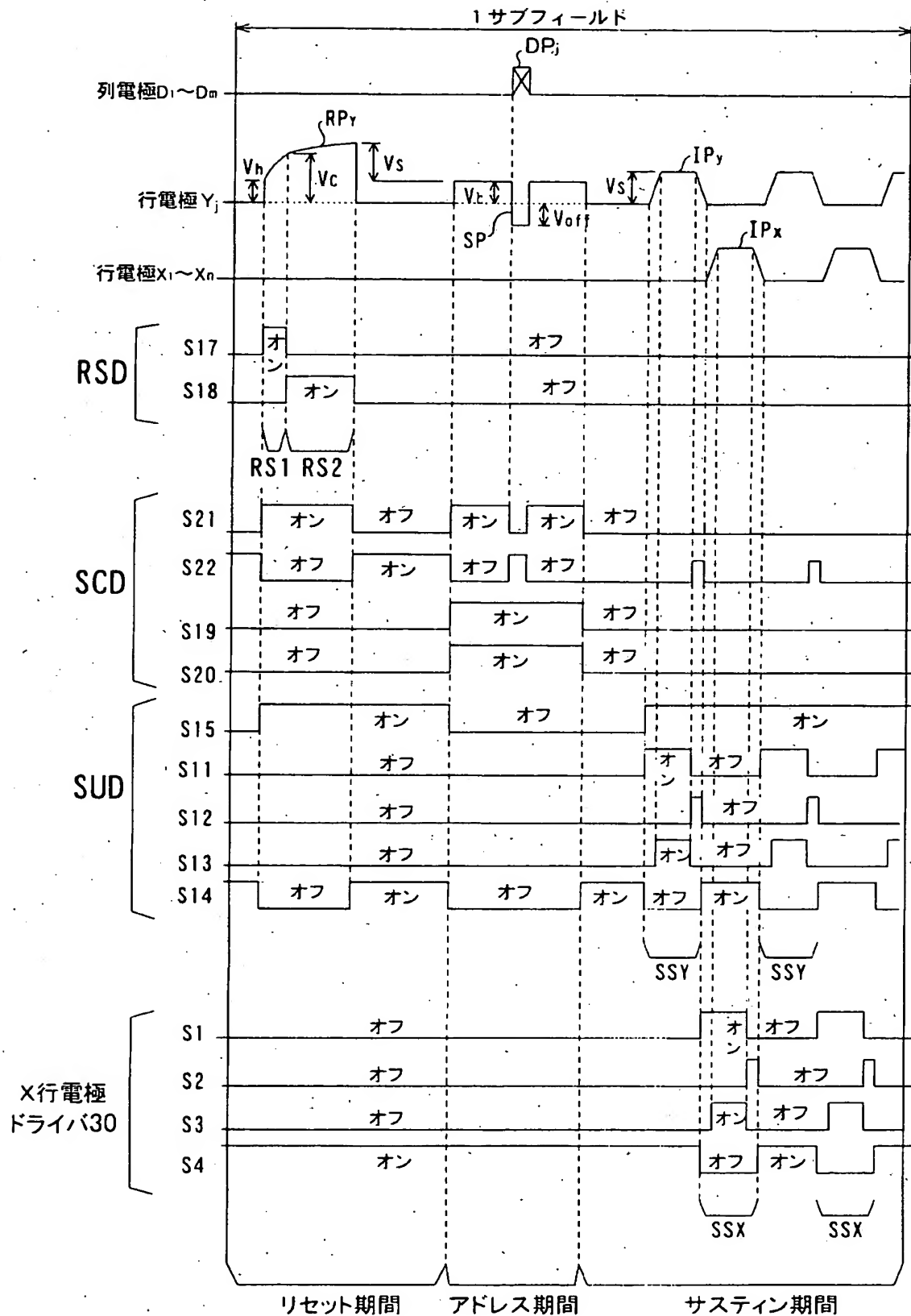
【図5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【目的】 コントラストの低下を抑制しつつ回路規模を小にすることが可能な表示パネルの駆動装置を提供することを目的とする。

【解決手段】 維持放電パルスを生成する為の電源と走査パルスを生成する為の電源とを直列接続して得られた電圧に基づいて、前縁部でのレベル推移が急峻であり且つ前縁部に続く部分でのレベル推移が緩やかな波形を有するリセットパルスを生成する。かかる構成により、リセットパルスを生成する為の専用電源が不要となると共に、このリセットパルスに応じて生起されるリセット放電に伴う発光輝度が低下する。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都目黒区目黒1丁目4番1号
氏 名	パイオニア株式会社